

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-274786

(43)Date of publication of application : 13.10.1998

(51)Int.Cl.

G02F 1/136
G02F 1/133
G02F 1/1343
G09F 9/30
H01L 29/786
H01L 21/336

(21)Application number : 09-079295

(71)Applicant : SHARP CORP

(22)Date of filing : 31.03.1997

(72)Inventor : BAN ATSUSHI
YAMAKAWA MASAYA
OKAMOTO MASAYA

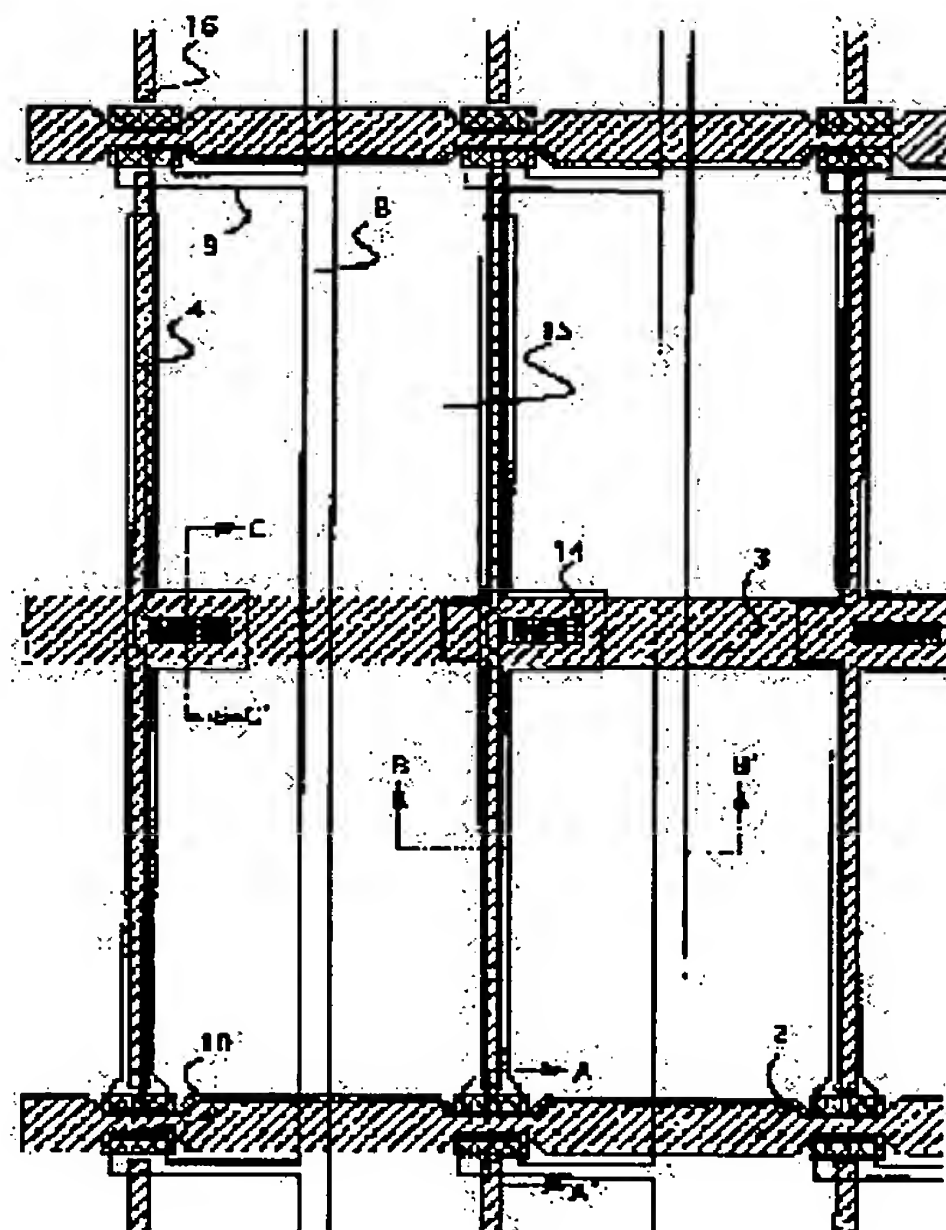
(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve a display quality and a good producer rate of a liquid crystal display device for which a high numerical aperture is achieved via an interlayer insulating film.

SOLUTION: A split area of a picture element electrode 15 is provided on a shading pattern 16 branched from a gate wiring 2 on an insulating substrate like glass and an auxiliary wiring 3. A source wiring 8 is comprised of a transparent conductive film and is provided under the picture element electrode 15 via an interlayer insulating film. Thus, it is possible to obtain a uniform superimposed width between the source wiring and the picture element 15, and this arrangement can eliminate faulty display called block separation occurring in stepper method.

Further, since it is possible to hide light leakage between picture elements 15 by the shading pattern 16, shading film does not need to be provided at the side of the counter substrate, and it is possible to improve the numerical aperture by a margin considering a misregistration at the time of sticking the counter substrate to an active matrix substrate.



LEGAL STATUS

[Date of request for examination] 21.07.2000

[Date of sending the examiner's decision of rejection] 22.01.2002

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3323880

[Date of registration] 28.06.2002

[Number of appeal against examiner's decision of rejection] 2002-02812

[Date of requesting appeal against examiner's decision of rejection] 20.02.2002

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-274786

(43) 公開日 平成10年(1998)10月13日

(51) Int.Cl.⁸
G 0 2 F 1/136
1/133
1/1343
G 0 9 F 9/30
H 0 1 L 29/786

識別記号

5 0 0

5 5 0

3 3 8

F I

G 0 2 F 1/136 5 0 0

1/133 5 5 0

1/1343

G 0 9 F 9/30 3 3 8

H 0 1 L 29/78 6 1 2 C

審査請求 未請求 請求項の数 4 O L (全 7 頁) 最終頁に続く

(21) 出願番号 特願平9-79295

(22) 出願日 平成9年(1997)3月31日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 伴 厚志

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 山川 真弥

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72) 発明者 岡本 昌也

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

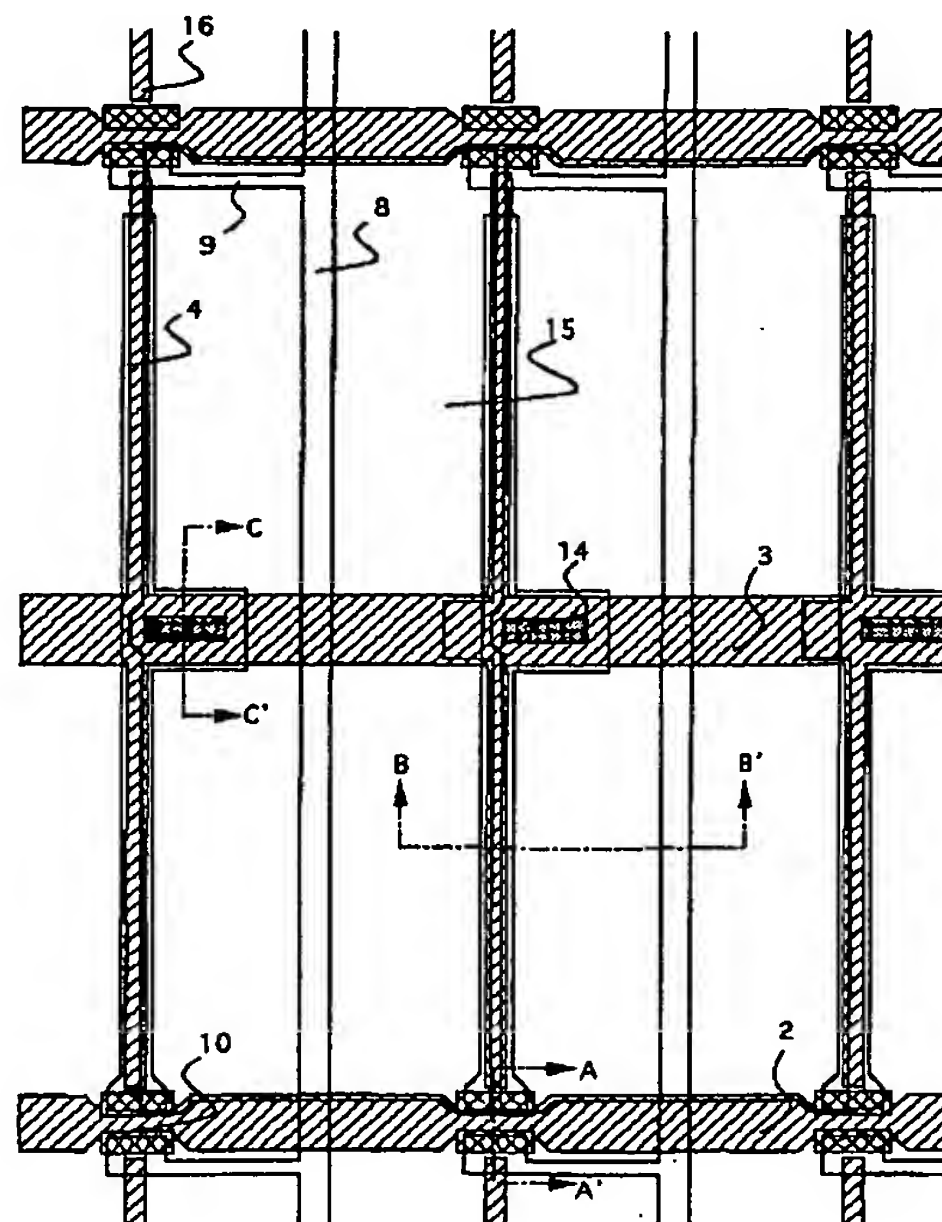
(74) 代理人 弁理士 梅田 勝

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 層間絶縁膜を介して高開口率化を図った液晶表示装置の、表示品位向上および良品率向上を図る。

【解決手段】 ガラスなどの絶縁性の基板上的ゲート配線2と、補助容量配線3から枝分かれした遮光性パターン16上に画素電極15の分割領域を設ける。ソース配線8は透明導電膜からなり画素電極15の下に層間絶縁膜を介して設けられる。これにより、ソース配線3と画素電極15間の重なり幅が同一になるため、ステッパ法などで起こるブロック別れと呼ばれる表示不良を無くすることができる。また、画素電極15間の光漏れを遮光性パターン16で隠すことができるので、対向基板側に遮光膜を設ける必要がなく対向基板とアクティブマトリクス基板との貼り合わせ時の位置ずれを見込んだマージン分開口率の向上と製造原価の低減を図ることができる。



(2)

1

【特許請求の範囲】

【請求項1】 走査配線と信号配線および該配線に接続されたスイッチング素子が設けられ、前記スイッチング素子の走査電極に前記走査配線が接続され、前記走査電極以外の一方電極に前記信号配線、他方電極に画素電極が接続されたアクティブマトリクス基板と、対向電極が形成された対向基板とが液晶を挟んで対向する形で設けられた液晶表示装置において、前記画素電極と前記信号配線が絶縁膜を介して重畳され、前記画素電極は前記信号配線と平行に配置された遮光性パターン上で分離されていることを特徴とする液晶表示装置。

【請求項2】 前記信号配線が透明導電膜からなることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】 前記遮光性パターンとして導電膜を用いて補助容量を形成することを特徴とする請求項1に記載の液晶表示装置。

【請求項4】 前記信号配線と接続された予備配線を前記信号配線と平行に配置し、1画素内に隣接する信号配線と予備配線が配置され、各々の配線と画素電極間にてきる容量が等しくなるように形成され、該信号配線にライン毎に極性の反転する信号電圧が印加されることを特徴とする請求項1に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、TFT（薄膜トランジスタ）などのスイッチング素子を用いた液晶表示装置に関する。

【0002】

【従来の技術】従来より、液晶表示装置においては、マトリクス状に配列した画素電極を選択駆動することにより、画面上に表示パターンが形成される。選択された画素電極と、これに対向する対向電極との間に電圧が印加され、これらの電極の間に介在する液晶の光学的変調がおこり、表示パターンとして視認される。画素電極の駆動方式として、個々の独立した画素電極を配列し、この画素電極のそれぞれにスイッチング素子を連結して駆動するアクティブマトリクス駆動方式が知られている。画素電極を選択駆動するスイッチング素子としては、TFT（薄膜トランジスタ）素子、MIM（メタル・インシュレータ・メタル）素子等が一般的に知られている。このような素子の画素電極は、信号配線もしくは走査配線と同層に形成されることが多く、画素電極を信号配線、走査配線の内側に各配線と接触しないように配置されている。

【0003】図11は、従来のアクティブマトリクス型液晶表示装置のアクティブマトリクス基板の部分平面図である。図12は、図11のE-E'線断面図である。

【0004】図11および図12に示すように、画素電

極15の面積（開口率）を向上させるため、層間絶縁膜12を介して画素電極15と走査配線であるゲート配線2および信号配線であるソース配線8とを別層に形成し、該配線と画素電極15を重畳させることも提案されている（特開平6-160900号公報など）。

【0005】この技術を更に詳細に説明すると、まずアクティブマトリクス基板は、透明な基板1上に、ゲート配線2とソース配線8が直交するように設けられ、交差部近傍にスイッチング素子としてTFT10が配置され接続線11を用いて、層間絶縁膜12に設けられたコンタクトホール14と画素電極15が接続されている。6は半導体層、7は陽極酸化膜、17は半導体コンタクト層である。

【0006】なお、接続線11は、補助容量配線3とゲート絶縁膜5を介して重なって補助容量を形成している。このとき、接続線11をITOなどの透明導電膜で形成すると開口率の向上が図れる。また、画素電極15は層間絶縁膜12を介してゲート配線2およびソース配線8と重畳している。この構造により、液晶表示装置の開口率を向上させることができると共に、各配線2、8に起因する電界をシールドしてディスクリネーションを抑制することができると共に、各配線2、8を金属など導電性遮光材で形成すると、画素電極15間の遮光膜として利用できる。

【0007】このアクティブマトリクス基板と、対向基板との間に液晶層を挟んで、貼り合わせて液晶表示装置となる。この液晶表示装置において、カラー表示を実現するためには、対向基板上にカラーフィルタを形成する構成が最も一般的である。この対向基板のカラーフィルタには、色の混じりや光漏れを防ぐためにブラックマトリクスを形成する構造が一般的であるが、上述したように、製造コストを下げるために各配線が遮光膜を兼ね、カラーフィルタ基板上にブラックマトリクスを設けない構成にしても良い。

【0008】

【発明が解決しようとする課題】一般的に、アクティブマトリクス基板の製造はステッパ法とよばれる基板より小さなマスクを用いて複数回露光して画素電極15などを形成する。そのため、マスク間でソース配線8と画素電極15の重ね合わせ幅が若干異なったり、何層もの膜を重ね合わせて形成しているので層間の位置ずれが生じ、ひどい場合にはブロック別れと呼ばれるマスク毎での表示が異なる表示不良が起こる。

【0009】また、TFT10と画素の補助容量電極を電氣的につなげるための接続線11は開口率を低下させないためにITO膜等の透明導電膜を用いることが効果的であるが、工程短縮のためにソース配線8と同様な透明な膜を使用する場合、ソース配線に沿って画素電極15間から光抜けが生じてしまう。

【0010】本発明は、上記課題を解決するためになさ

れたもので、表示品位の向上と高開口率化の達成および製造原価を低減することができる液晶表示装置を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明の液晶表示装置は、走査配線と信号配線および該配線に接続されたスイッチング素子が設けられ、前記スイッチング素子の走査電極に前記走査配線が接続され、前記走査電極以外の一方電極に前記信号配線、他方電極に画素電極が接続されたアクティブマトリクス基板と、対向電極が形成された対向基板とが液晶を挟んで対向する形で設けられ、画素電極と前記信号配線が絶縁膜を介して重畳され、前記画素電極は前記信号配線と平行に配置された遮光性パターン上で分離されていることを特徴とする。

【0012】この構成により、信号配線と画素電極間の重なり幅が同一になるため、ステッパ法などで起こるブロック別れと呼ばれる表示不良を無くすることができる。また、画素電極間の光漏れを遮光性パターンで隠すことができるので、対向基板側に遮光膜を設ける必要がなく対向基板とアクティブマトリクス基板との貼り合わせ時の位置ずれを見込んだマージン分開口率の向上と製造原価の低減を図ることができる。

【0013】また、前記信号配線が透明導電膜で形成されても良い。この構成により、開口率の向上を図ることができる。

【0014】また、前記遮光性パターンとして導電膜を用いて補助容量を形成しても良い。この構成により、更なる高開口率化を図ることができる。

【0015】また、前記信号配線と接続された予備配線を前記信号配線と平行に配置し、1画素内に隣接する信号配線と予備配線が配置され、各々の配線と画素電極間にできる容量が等しくなるように形成され、前記信号配線にライン毎に極性の反転する信号電圧が印加しても良い。この構成により、信号配線の断線冗長性を持たすことができ良品率の向上が図れる。このとき、前記駆動を行うことにより縦方向に出るシャドーイングを軽減することができる、表示品位の向上が図れる。

【0016】

【発明の実施の形態】以下、本発明の実施形態を、図面を用いながら説明する。

【0017】（実施形態1）図1は、本発明の実施形態1の液晶表示装置におけるアクティブマトリクス基板の一部分の構成を示す平面図で、図2は図1のA-A'線断面図で、図3は図1のB-B'線断面図で、図4は図1のC-C'線断面図である。

【0018】まず、アクティブマトリクス基板には、複数の画素電極15がマトリクス状に設けられており、互いに直交するように、走査配線としてのゲート配線2と信号配線としてのソース配線8が設けられ、ゲート配線2と平行にソース配線8と直交するように、補助容

量形成用として補助容量配線3が設けられている。補助容量配線3は画素電極15の分離部分で上下に枝分かれし、遮光性パターン16になっている。TF T10は、ゲート配線2上に画素電極15に接続されるスイッチング素子として設けられ、このTF T10のドレイン電極は、接続線4及び層間絶縁膜12に設けられたコンタクトホール14を介して画素電極15に接続される。また、本実施形態では、ゲート配線2および補助容量配線3は金属などの遮光性導電膜で形成され、ソース配線8および接続線4は透明導電膜で形成されている。これにより、画素電極15間は遮光膜で遮光され、ソース配線8部分は透明導電膜なので光が透過するので、開口率の向上が図れる。

【0019】本実施形態のアクティブマトリクス基板の製造方法を説明すると、ガラス基板などの透明な基板1上に、タンタル、アルミなどで図1のゲート電極を兼ねるゲート配線2、補助容量配線3を形成する。このとき、ゲート配線2、補助容量配線3および遮光性パターン16に、テーパ形状改善、およびゲート絶縁膜の信頼性向上を目的に、表面を陽極酸化し、陽極酸化膜7を形成しても良い。次に、チッ化シリコン、酸化シリコンなどでゲート絶縁膜5、アモルファスシリコン、ポリシリコンなどで半導体層6、n型アモルファスシリコン、n型微結晶シリコンなどで半導体コンタクト層17を順次成膜してパターンニングした（図2参照）。

【0020】次に、ITOなどの透明導電膜でソース配線8および接続線4を、成膜して所定形状にパターンニングする。さらに、その上に、層間絶縁膜12として感光性のアクリル樹脂をスピン塗布法により例えば3μmの膜厚で形成し、表面を平坦化した（図3参照）。

【0021】ここでは、前記感光性のアクリル樹脂として、ベースポリマーは、メタクリル酸とグリシジルメタクリレートのポリマーで、感光剤としてナフトキシジアジド系ポジ型感光剤のものを使用した。次に、この樹脂に対して、所望のパターンに従って露光し、アルカリ性の溶液によって現像処理する。これにより露光された部分のみがアルカリ性の溶液によってエッチングされ、層間絶縁膜12を貫通するコンタクトホール14が形成されることになる（図4参照）。

【0022】さらに、その上に、画素電極15となるITOなどの透明導電膜を成膜し、ステッパ法を用いて露光しパターンニングする。これにより画素電極15は、層間絶縁膜12を貫くコンタクトホール14を介して、TF T10のドレイン電極と接続されている接続線4と接続されることになる。このように、ソース配線8と画素電極15の重なり幅が一定であるためにステッパ露光などの方法で形成した場合に生じやすいブロック別れを防止することができる。これは特に、ソースライン反転、ドット反転駆動と呼ばれる隣り合うソース配線8毎に映像信号の極性を反転させた駆動を行ったとき効果的であ

る。また、コンタクトホールを遮光性パターン16もしくは遮光性の各配線上に設けることにより、コンタクト部分は平坦でないので配向不良により光り抜けが生じるのを隠すことができ表示品位の向上が図れる。このとき、複数の画素電極15の分割をゲート配線2および遮光性パターン16上で行った(図1参照)。

【0023】その後、図示しない対向基板として、ガラス基板などの透明な基板上に、赤、緑、青3色のカラーフィルターと対向電極を設け、アクティブマトリクス基板の間に、液晶を封入し、シール材を用いて貼り合わせ10

る。そのとき、必要に応じて配向膜や偏光板を用いる。【0024】本実施形態のアクティブマトリクス型液晶表示装置においては、隣り合う画素電極15の分割を遮光性パターン16上で行ったため、対向基板側に遮光膜を設ける必要がなくなり対向基板とアクティブマトリクス基板との貼り合わせ時の位置ずれを見込んだマージン分開口率の向上と製造原価の低減を図ることができる。

【0025】また、ソース配線8がITOなどの透明導電膜で形成されているので開口率の向上を図ることができる。また、遮光性パターン16を用いて補助容量を形成しているため補助容量配線3の幅を狭くすることができ、更なる高開口率化を図ることができる。20

【0026】なお、本実施形態では補助容量を補助容量配線3をゲート配線2とは別に設けるCs on Com方式を用いたが、図5に示すゲート配線2から枝分かれした遮光性パターン16を用いて補助容量を形成するCs on Gate構造でも同様の効果が得られる。

【0027】(実施形態2)図6は、本発明の実施形態2のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の構成を示す平面図で、図7は図6のD-D'線断面図であり、実施形態1と同じ部分の説明は省略する。30

【0028】本実施形態では、ソース配線をソース配線8aと8bの2本を一組として用い、ソース電極9部分で両配線を接続して断線冗長性を持たせた。この場合でも、ソース配線8a、8bを透明導電膜で形成することにより、開口率が低下することはない。また、この様に接続を画素毎にすることにより、断線冗長性をより高めることができる。

【0029】ここで図8に示すように、1画素電極下にある隣り合うソース配線8a、8bに入力する信号をそれぞれソース1、ソース2に示すようなお互いに逆極性の信号を入力するソースライン反転駆動を用いて駆動することにより、お互いの容量を打ち消し合い縦方向にでるシャドーイングを軽減することができる。また、図9に示すソースライン反転駆動を1水平走査期間毎に極性反転するドット反転駆動を用いると更に効果がある。このとき、ソース配線8a、8bと画素電極15間の容量を同じにすることにより更に効果的である。

【0030】なお、本実施形態でも補助容量を、図10

に示すゲート配線2から枝分かれした遮光性パターン16を用いて補助容量を形成するCs on Gate構造でも同様の効果が得られる。

【0031】

【発明の効果】以上、説明したように、本発明の液晶表示装置によると、走査配線と信号配線および該配線に接続されたスイッチング素子が設けられ、前記スイッチング素子の走査電極に前記走査配線が接続され、前記走査電極以外の一方電極に前記信号配線、他方電極に画素電極が接続されたアクティブマトリクス基板と、対向電極が形成された対向基板とが液晶を挟んで対向する形で設けられ、画素電極と前記信号配線が絶縁膜を介して重畳され、前記画素電極は前記信号配線と平行に配置された遮光性パターン上で分離されていることにより、信号配線と画素電極間の重なり幅が同一になるため、ステップ法などで起こるブロック別れと呼ばれる表示不良を無くすことができる。また、画素電極間の光漏れを遮光性パターンで隠すことができるので、対向基板側に遮光膜を設ける必要がなくなり対向基板とアクティブマトリクス基板との貼り合わせ時の位置ずれを見込んだマージン分開口率の向上と製造原価の低減を図ることができる。

【0032】また、前記信号配線が透明導電膜で形成されていることにより、開口率の向上を図ることができる。

【0033】また、前記遮光性パターンとして導電膜を用いて補助容量を形成されていることにより、更なる高開口率化を図ることができる。

【0034】また、前記信号配線と接続された予備配線を前記信号配線と平行に配置し、1画素内に隣接する信号配線と予備配線が配置され、各々の配線と画素電極間にできる容量が等しくなるように形成され、前記信号配線にライン毎に極性の反転する信号電圧が印加することにより、信号配線の断線冗長性を持たすことができ良品率の向上が図れる。このとき、前記駆動を行うことにより縦方向に出るシャドーイングを軽減することができ、表示品位の向上が図れる。

【図面の簡単な説明】

【図1】本発明の実施形態1のアクティブマトリクス型液晶表示装置のアクティブマトリクス基板の部分平面図である。40

【図2】図1のA-A'線断面図である。

【図3】図1のB-B'線断面図である。

【図4】図1のC-C'線断面図である。

【図5】本発明の実施形態1のアクティブマトリクス型液晶表示装置の別のアクティブマトリクス基板の部分平面図である。

【図6】本発明の実施形態2のアクティブマトリクス型液晶表示装置のアクティブマトリクス基板の部分平面図である。

【図7】図6のD-D'線断面図である。50

【図8】本発明の実施形態2のアクティブマトリクス型液晶表示装置の駆動信号である。

【図9】本発明の実施形態2のアクティブマトリクス型液晶表示装置の別の駆動信号である。

【図10】本発明の実施形態2のアクティブマトリクス型液晶表示装置の別のアクティブマトリクス基板の部分平面図である。

【図11】従来のアクティブマトリクス型液晶表示装置のアクティブマトリクス基板の部分平面図である。

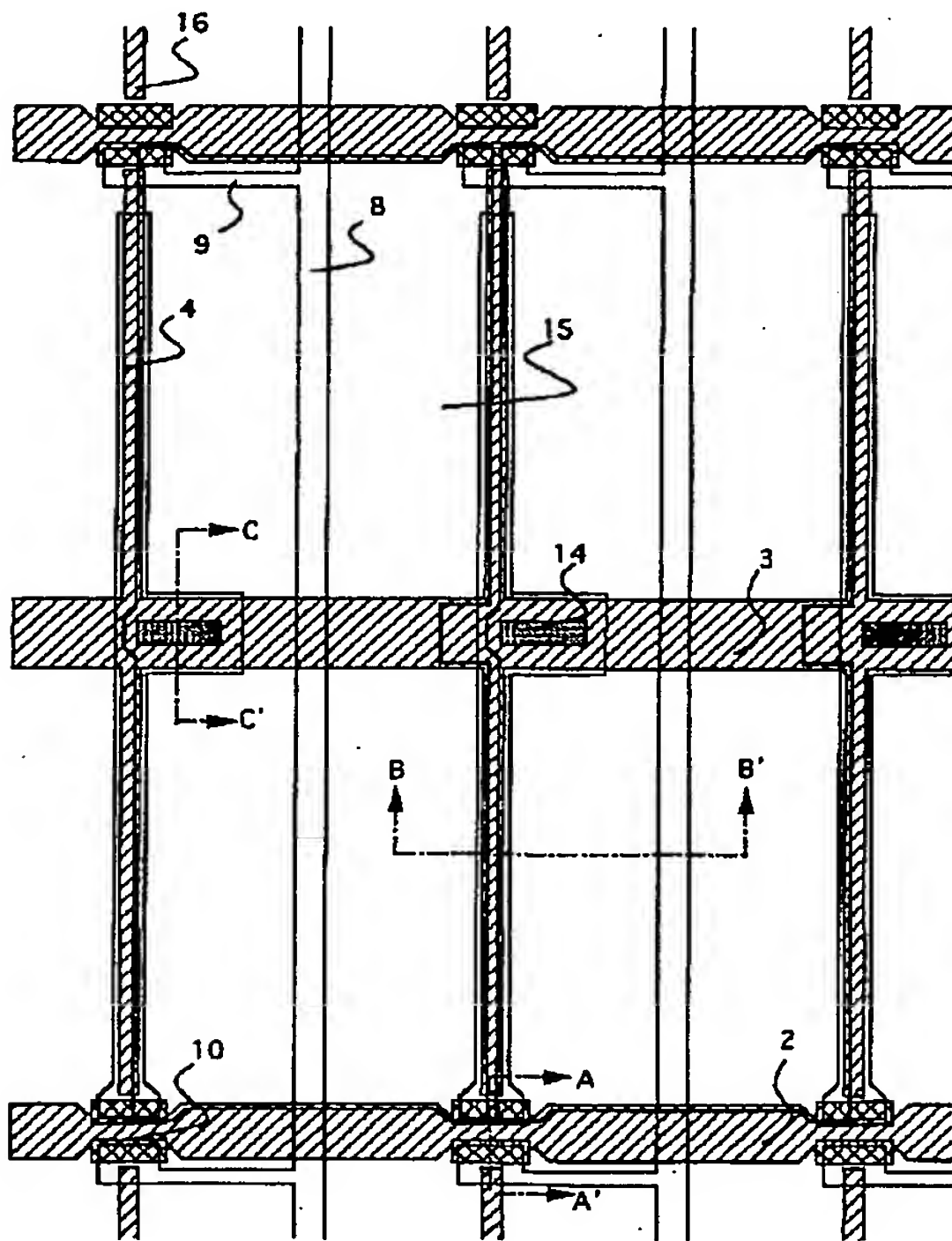
【図12】図11のE-E'線断面図である。

【符号の説明】

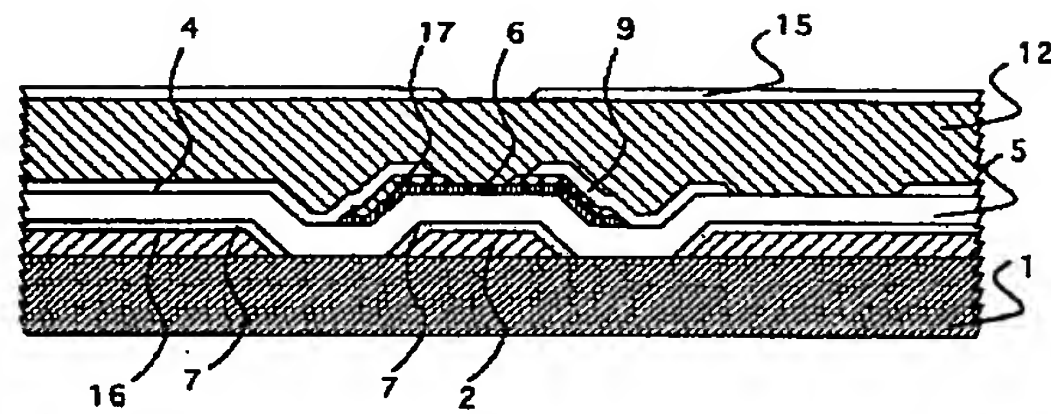
- | | |
|-----|---------------|
| * 1 | 基板 |
| 2 | ゲート配線 |
| 3 | 補助容量配線 |
| 4 | 接続線 |
| 8 | ソース配線 |
| 10 | TFT（薄膜トランジスタ） |
| 12 | 層間絶縁膜 |
| 14 | コンタクトホール |
| 15 | 画素電極 |
| 16 | 遮光性パターン |

*

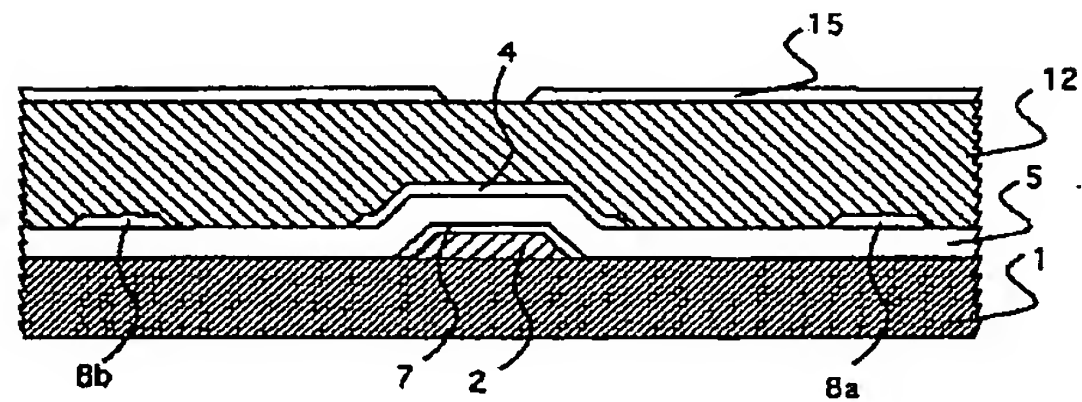
【図1】



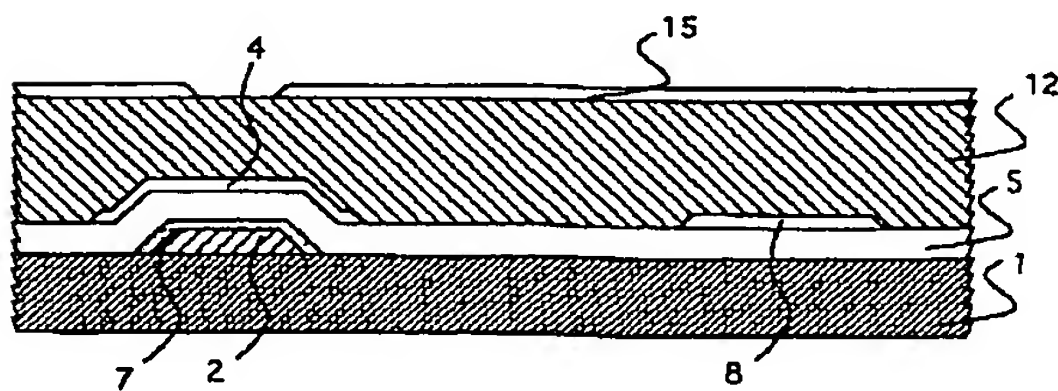
【図2】



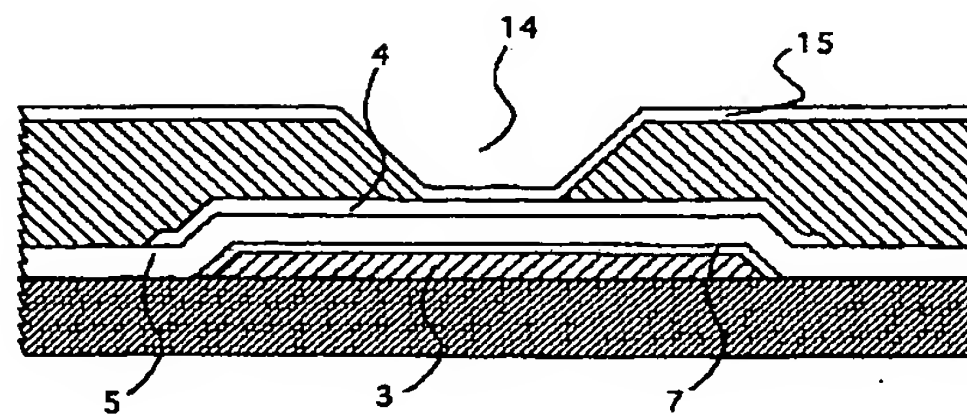
【図7】



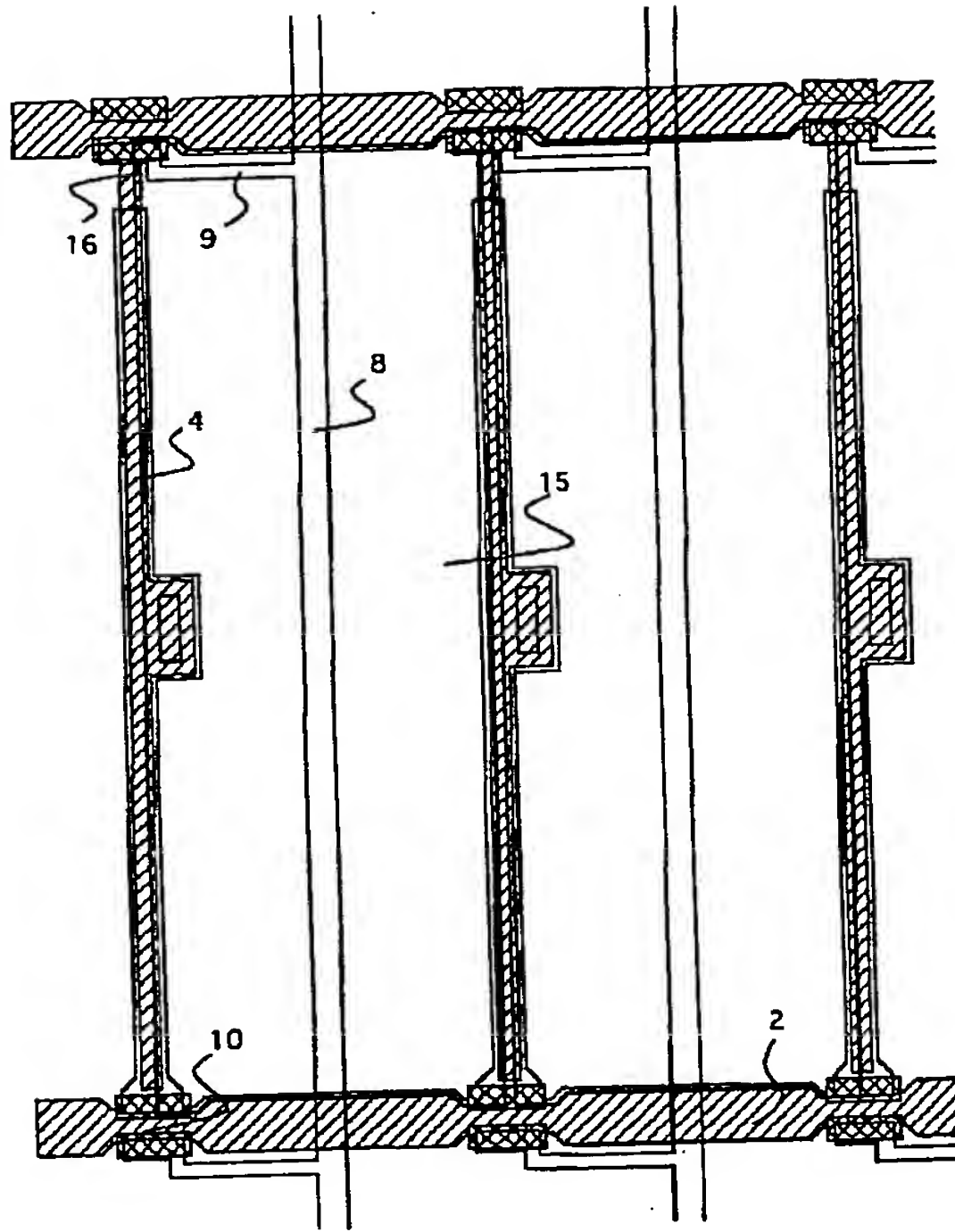
【図3】



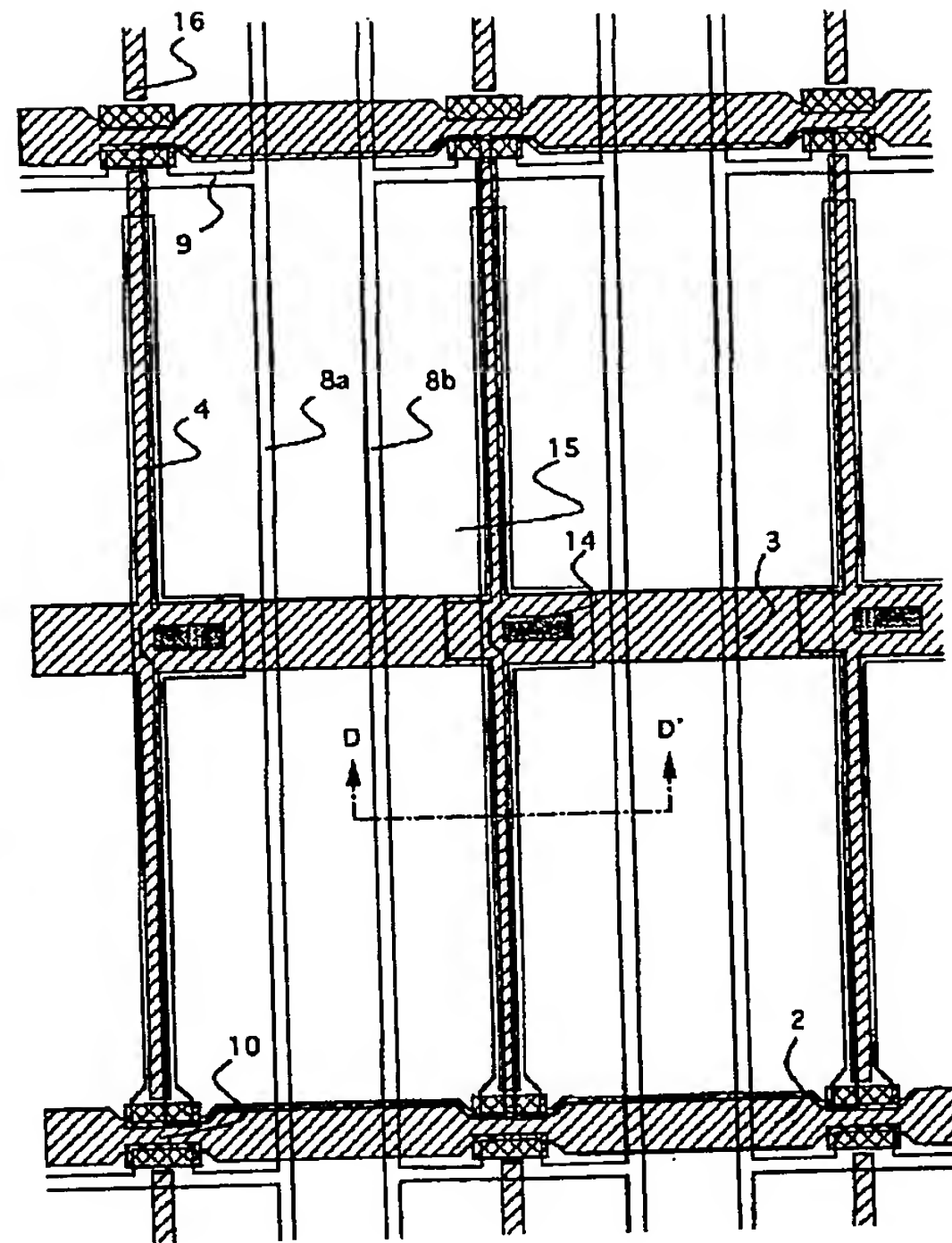
【図4】



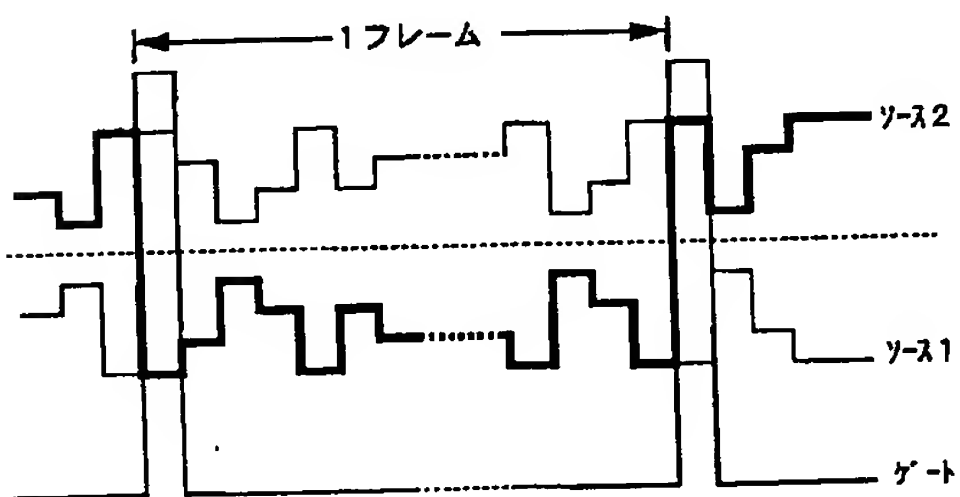
【図5】



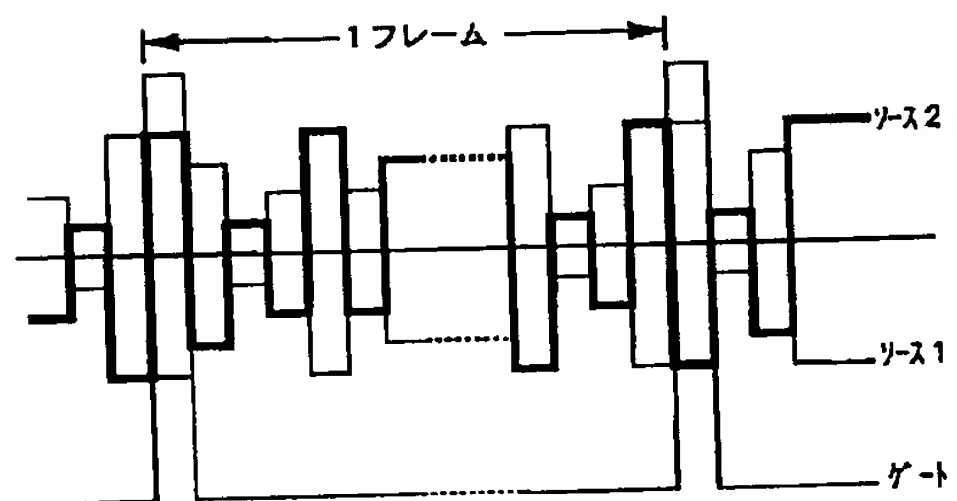
【図6】



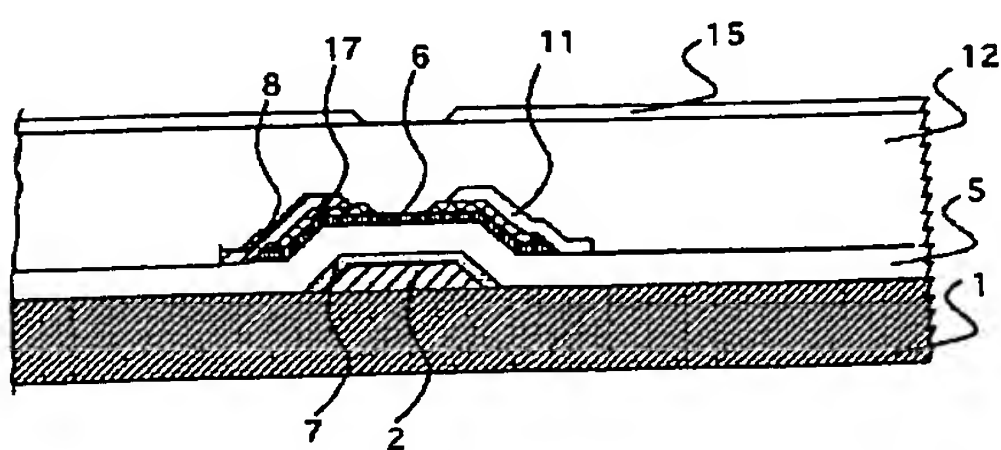
【図8】



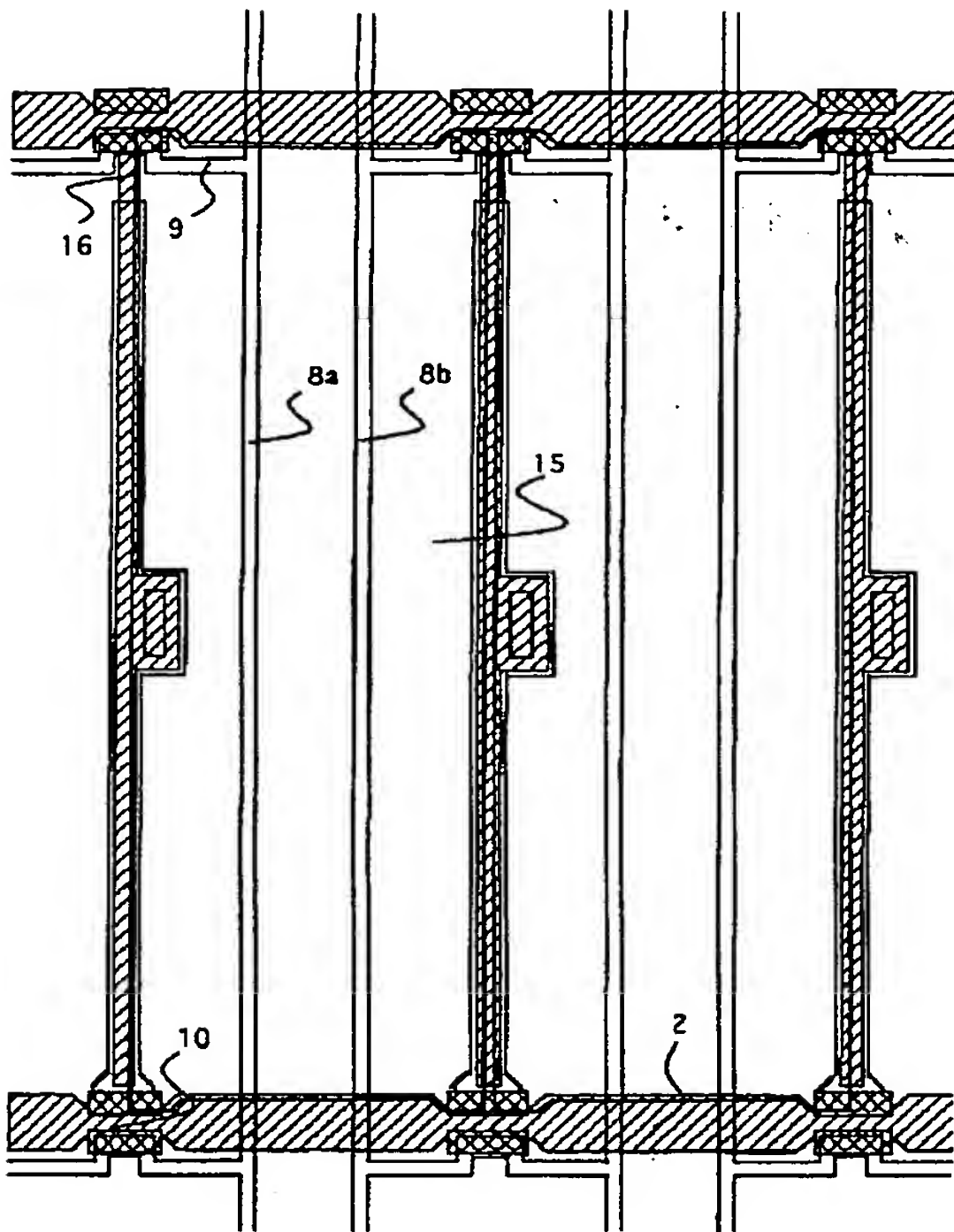
【図9】



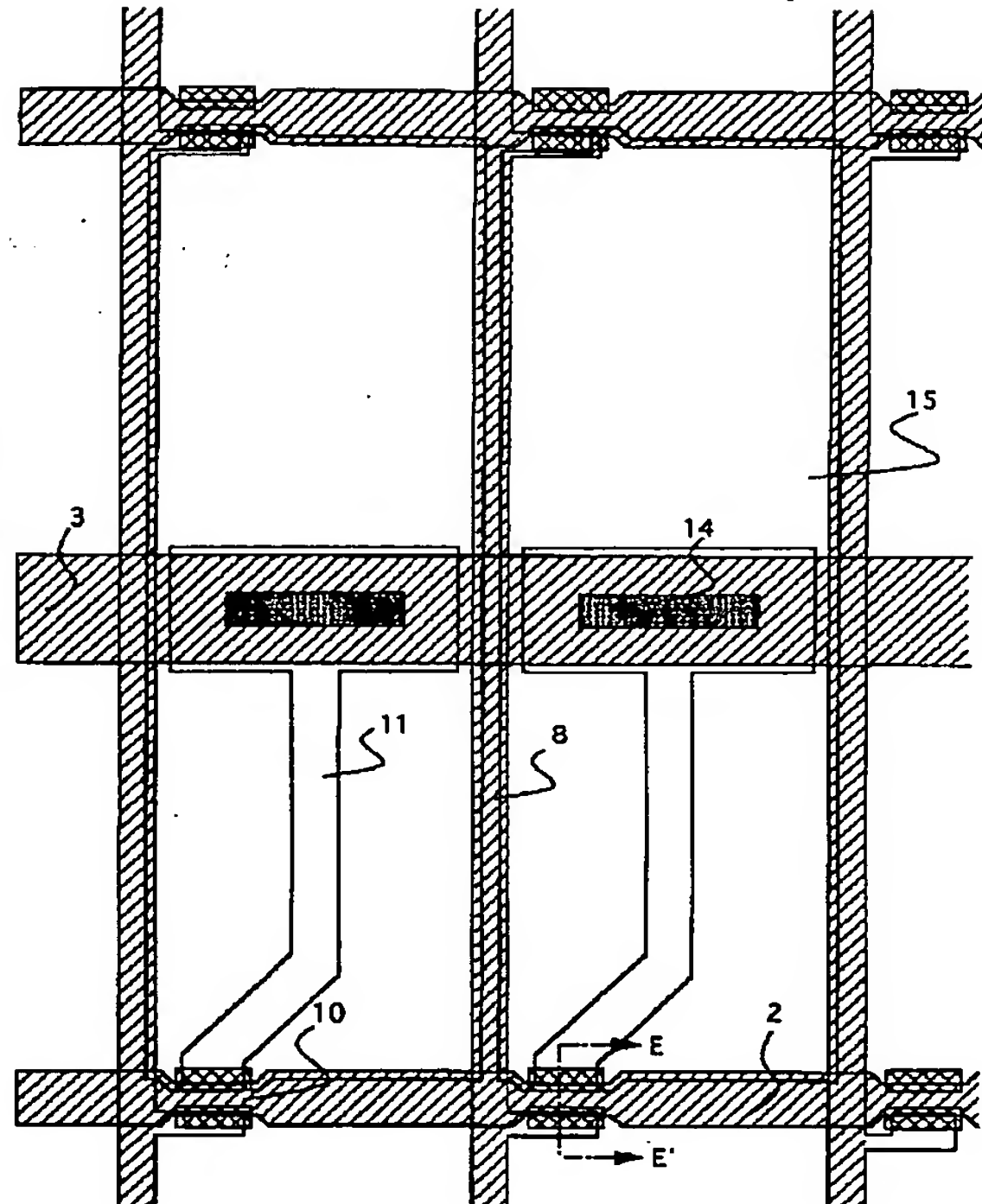
【図12】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁶

H01L 21/336

識別記号

F I

H01L 29/78

612 Z



THIS PAGE BLANK (USPTO)